

IC-986 U.S. PTO
09/875698
06/16/01



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 특허출원 2000년 제 33980 호
Application Number

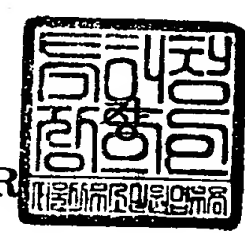
출원 년 월 일 : 2000년 06월 20일
Date of Application

출원 인 : 현대전자산업주식회사
Applicant(s)

2001 01 15
 년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2000.06.20
【발명의 명칭】	반도체 소자의 금속 배선 형성 방법
【발명의 영문명칭】	Method of forming a metal-wiring in a semiconductor device
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【대리인】	
【성명】	최승민
【대리인코드】	9-1998-000560-9
【포괄위임등록번호】	1999-003325-7
【발명자】	
【성명의 국문표기】	표성규
【성명의 영문표기】	PYO, Sung Gyu
【주민등록번호】	670220-1067121
【우편번호】	467-010
【주소】	경기도 이천시 창전동 현대아파트 1차 102동 1203호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 무 (인) 대리인 신영 최승민 (인)
【수수료】	
【기본출원료】	12 면 29,000 원
【가산출원료】	0 면 0 원

1020000033980

2001/1/1

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 반도체 소자의 금속 배선 형성 방법에 관한 것으로, CVD법으로 초미세 다마신 패턴을 구리로 매립하는 공정기술의 낮은 증착 속도를 개선하기 위해 구리의 증착 속도를 증가시키기 위한 화학적 강화제층을 형성한 후 구리 전구체를 이용한 MOCVD법으로 다마신 패턴을 매립하는 CECVD법으로 구리 배선을 형성하되, 비아부분에서 확산 방지막에 의하여 비아저항이 높아지는 것을 방지하기 위하여 확산 방지막을 다마신 패턴의 측벽에 스페이서 형태로 형성하고, 화학적 강화제층을 다마신 패턴에 의해 노출된 식각 방지막 및 하부 금속층 상에 선택적으로 형성하여 다마신 패턴 내에 선택적 부분 매립 (Selective Partial Fill)을 가능케 하므로써, 초 미세구조에서의 구리 매립을 용이하게 함과 동시에 구리 배선의 전기적 비저항 특성을 극대화 할 수 있는 반도체 소자의 금속 배선 형성 방법이 개시된다.

【대표도】

도 1

【색인어】

금속 배선, 확산 방지막, 구리 전구체, CECVD법

【명세서】

【발명의 명칭】

반도체 소자의 금속 배선 형성 방법{Method of forming a metal wiring in a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1c는 본 발명에 따른 반도체 소자의 금속 배선 형성 방법을 설명하기 위하여 순차적으로 도시한 단면도.

<도면의 주요 부분에 대한 부호 설명>

10 : 반도체 기판 20 : 제 1 층간 절연막
30 : 하부 금속층 40a : 제 1 절연막
40b : 제 2 절연막 40c : 제 3 절연막
40 : 제 2 층간 절연막 50 : 확산 방지막 스페이서
60 : 화학적 강화제층 70 : 구리 배선

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체 소자의 금속 배선 형성 방법에 관한 것으로, 특히 구리의 증착을

가속화시킬 수 있는 화학적 강화제층을 형성한 후 구리 전구체를 이용하여 초미세구조의 다마신 패턴을 구리로 매립하는 공정기술에서, 구리의 선택적 부분 매립을 가능케하고, 확산 방지막에 의한 구리 배선의 비아저항이 높아지는 것을 방지할 수 있는 반도체 소자의 금속 배선 형성 방법에 관한 것이다.

<9> 반도체 소자의 집적도가 증가하고 신호전달 속도가 감소함에 따라 전류를 전달하여 주는 금속 배선으로서 기존의 알루미늄 대신 비저항이 약 40% 낮은 구리를 사용하려는 노력이 한창이다. 구리는 전기전도도가 우수한 반면, 반도체 소자의 절연막으로 사용되는 실리콘산화물 내로의 확산 속도가 매우 빠르다는 단점을 갖고 있다. 실리콘 산화물을 확산하여 이동한 구리 원자는 반도체 소자의 트랜지스터 및 커패시터를 열화시키고 누설전류를 증가시킬 수 있어 구리의 확산을 방지하기 위한 확산 방지막의 사용은 필수적이다. 그러나, 듀얼 다마신 구조에서 구리 배선 형성시 확산 방지막이 비아 콘택 저면(Via Contact Bottom)에도 존재하기 때문에 구리 배선의 비아 저항을 높이는 요인으로 작용하게 된다. 따라서, 비저항이 낮은 확산장벽 금속을 선택하지 못하면 저항효과가 크리라 생각되며, 또한 구리의 화학적 기계적 연마시 확산장벽층과의 선택비 차이로 인하여 디싱(Dishing) 및 침식(Erosion)을 야기시킬 수 있다.

<10> 또한, 차세대 반도체 소자의 급격한 고성능화 및 소형화 추세로 인해 CVD 법을 이용한 구리 배선 형성 방법을 적용하려는 추세이나, CVD법에 의한 구리 매립은 낮은 증착 속도 및 이로 인한 높은 비용이 큰 문제점으로 작용하고 있다. 최근에는

화학적 강화 CVD(CECVD)법을 이용한 구리배선 매립을 적용하는 관심이 증대되고 있으나, 이러한 방법 역시 화학적 강화제를 균일하게 분사하는 문제 및 화학적 강화제를 특정 원하는 곳에 분포시켜 선택적(Selective) 매립 공정을 하게하는 방법 등이 문제로 남아 있다.

【발명이 이루고자 하는 기술적 과제】

<11> 따라서, 본 발명은 확산 방지막을 다마신 패턴의 측벽에 스페이서를 형태로 형성하여 비아저항이 높아지는 것을 방지하고, 화학적 강화제층의 선택적 반응 성질을 이용하여 다마신 패턴 내에 화학적 강화제층을 선택적으로 형성함으로써, 구리 전구체를 이용한 다마신 패턴의 선택적 부분 매립을 용이하게 할 수 있는 반도체 소자의 금속 배선 형성 방법을 제공하는데 그 목적이 있다.

<12> 이러한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 금속 배선 형성 방법은 하부 금속층 상에 제 1, 제 2 및 제 3 절연막으로 이루어진 층간 절연막이 형성된 반도체 기판이 제공되는 단계; 상기 층간 절연막에 트렌치 및 비아로 이루어진 다마신 패턴을 형성하는 단계; 상기 트렌치 및 비아의 측벽에 확산 방지막 스페이서를 형성하는 단계; 상기 트렌치 저면을 이루는 제 2 절연막 및 상기 비아 저면을 이루는 하부 금속층 상에 선택적으로 화학적 강화제층을 형성하는 단계; 화학적 기상 증착법으로 구리층을 형성하는 단계; 및 수소 환원 열처리 및 화학적 기계적 연마공정을 실시하여 구리 금속

배선을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

【발명의 구성 및 작용】

<13> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다.

<14> 도 1a 내지 도 1c는 본 발명에 따른 반도체 소자의 금속 배선 형성방법을 설명하기 위하여 순차적으로 도시한 단면도이다.

<15> 도 1a를 참조하면, 반도체 소자를 형성하기 위한 여러 요소가 형성된 반도체 기판(10) 상에 제 1 층간 절연막(20), 하부 금속층(30) 및 제 2 층간 절연막(40)을 순차적으로 형성한다. 제 2 층간 절연막(40)은 제 1 절연막(40a), 제 2 절연막(40b) 및 제 3 절연막(40c)으로 구성된다. 이 중에서 제 2 절연막(40b)은 질화물질로 형성되어 제 2 층간 절연막(40)에 다마신 패턴을 형성하는 공정 중 트렌치(Trench) 형성시 제 1 절연막(40a)이 식각되지 않도록 식각 방지막 역할을 한다. 제 2 층간 절연막(40)에 트렌치 및 비아로 이루어진 다마신 패턴을 형성하고, 세정 공정을 실시하여 다마신 패턴에 의해 노출된 하부 금속층(30)의 표면에 잔류하는 산화물층을 제거한다. 이후, 노출된 하부 금속층(30)을 포함한 제 2 층간 절연막(40) 상에 50 내지 500 Å의 두께로 확산 방지막을 형성하고, 전면식각으로 확산 방지막이 다마신 패턴의 측벽에만 존재하도록 하여 확산 방지막 스페이서(50)를 형성한다.

<16> 제 1 및 제 3 절연막(40a 및 40c)은 저유전 상수값을 가지는 산화물질을 이용하여 형성하며, 제 2 절연막(40b)은 질화물질을 이용하여 형성한다. 제 2 층간

절연막(40)에 형성된 트렌치 및 비아는 이중 다마신 방식으로 형성된다. 세정 공정은 하부 금속층(30)이 W 및 Al 등의 금속일 경우에는 RF 플라즈마를 이용하고, 하부 금속층(30)이 Cu일 경우에는 리액티브 세정(reactive cleaning) 방법을 적용하여 실시한다. 확산 방지막은 ionized PVD TiN, CVD TiN, MOCVD TiN, ionized PVD Ta, ionized PVD TaN, CVD Ta, CVD TaN, CVD WN, CVD TiAlN, CVD TiSiN, CVD TaSiN 중 적어도 어느 하나로 형성한다. 확산 방지막을 스페이서 형태로 형성하는 이유는, 하부 금속층(20) 표면을 포함하여 확산 방지막을 형성하게 되면 확산 방지막의 저항성분에 의해 비아저항이 높아지기 때문이다.

<17> 즉, 확산 방지막 스페이서(50)는 다마신 패턴 내에서 제 1 및 제 3 절연막(40a 및 40c)을 덮고 있어구리 원자의 외부 확산을 방지하는 본연의 역할을 충분히 수행할 수 있을 뿐만 아니라, 하부 금속층(20)의 표면이 노출되므로 인하여 비아저항을 낮출 수 있다. 확산 방지막 스페이서(50)는 비아 저면부에 존재하기 않기 때문에 실리콘 질화막(SiN) 또는 SiON (실리콘 산화질화막) 등과 같은 부도체로 형성할 수도 있다.

<18> 도 1b를 참조하면, 하부 금속층(30)을 포함한 전체구조 상에 화학적 강화제층(60)을 형성한다. 화학적 강화제층(60)은 산화물질과는 반응이 잘 일어나지 않고 질화물질과 금속과는 반응이 잘 일어나는 선택적인 반응 성질을 가지고 있기 때문에 산화물질로 형성된 제 3 절연막(40c) 상에는 반응하지 않고, 도시한 바와 같이 질화 물질로 이루어진 제 2 절연막(40b) 및 하부 금속층(30)의 상부에만 집중적으로 형성된다.

<19> 화학적 강화제층(60)은 50 내지 500Å의 두께로 형성한다. 화학적 강화제층(60) 형성을 위한 촉매로는 CH_3I , $\text{C}_2\text{H}_5\text{I}$, CD_3I , CH_2I_2 등의 I(요오드) 함유 액체화합물, $\text{Hhfac1/2H}_2\text{O}$, Hhfac , TMVS 순수(pure) I_2 , I(요오드) 함유 가스 및 수증기(water vapor)

중 어느 하나를 이용하며 -20 내지 300℃의 온도범위에서 1 내지 600초 동안 실시된다.

또한 주기율표상의 7족 원소들인 액체상태의 F, Cl, Br, I, At, 가스상태의 F, Cl, Br, I, At도 촉매로 사용된다.

<20> 도 1c를 참조하면, 다마신 패턴을 포함한 제 2 층간 절연막(40)상에

(hfac)CuVTMOS 계열, (hfac)CuDMB 계열 및 (hfac)CuTMVS 계열의 hfac계열의 모든 전구체

중 어느 하나를 이용한 유기금속 화학 기상 증착법(MOCVD)으로 구리층을 형성하여 다마

신 패턴을 구리로 매립한다. 제 2 절연막(40b) 및 하부 금속층(30) 상부에는 화학적 강

화제층(60)이 형성되어 있기 때문에, 제 3 절연막(40c) 상에 증착되는 구리의 증착속도

보다 다마신 패턴 내부로 증착되는 구리의 증착속도가 월등히 빨라 다마신 패턴 내부로

의 선택적 구리 증착이 가능하다. 상기의 선택적 증착 공정은 다이렉트 리퀴드 인젝션

(DLI), 컨트롤 에바퍼레이션 믹서(CEM), 오리피스(orifice) 방식 및 스프레이(spray) 방

식의 베이퍼라이저(vaporizer)를 갖는 모든 구리 증착 장비에서 실시한다. 이후, 수소

환원 열처리 공정을 실시하고 화학적 기계적 연마(CMP) 공정으로 제 3 절연막(40c) 상에

증착된 구리층을 제거하여 구리 배선(70)을 형성한다. 제 3 절연막(40c) 상에 구리층이

증착되기는 하나 화학적 강화제층(60)에 의해 가속되어 증착된 구리층의 두께에 비하면

아주 얇은 두께이기 때문에 화학적 기계적 연마 공정으로 쉽게 제거할 수 있다.

<21> 상기한 본 발명의 원리를 적용하여 구리 대신에 알루미늄이나 텅스텐 등과 같은 금

속을 이용하여 배선을 형성할 수 있다.

【발명의 효과】

<22> 상술한 바와 같이, 본 발명은 확산 방지막을 스페이서 형태로 형성하고 화학적-강-화제층을 선택적으로 다마신 패턴 내에 형성한 후 구리를 증착하여 배선을 형성하므로써, 다마신 패턴으로의 구리 매립 및 화학적 기계적 연마-공정을-용이하게-실-시할 수 있고, 확산 방지막에 의한 비아저항 성분을 줄일 수 있어 소자의 동작 속도 및 신뢰성을 향상시킬 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

하부 금속층 상에 제 1, 제 2 및 제 3 절연막으로 이루어진 층간 절연막이 형성된 반도체 기판이 제공되는 단계;

상기 층간 절연막에 트렌치 및 비아로 이루어진 다마신 패턴을 형성하는 단계;

상기 트렌치 및 비아의 측벽에 확산 방지막 스페이서를 형성하는 단계;

상기 트렌치 저면을 이루는 제 2 절연막 및 상기 비아 저면을 이루는 하부 금속층 상에 선택적으로 화학적 강화제층을 형성하는 단계;

화학적 기상 증착법으로 구리층을 형성하는 단계; 및

수소 환원 열처리 및 화학적 기계적 연마공정을 실시하여 구리-금속 배선을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 다마신 패턴 형성 후 실시하는 세정은 상기 하부 금속층이 W 및 Al 중 어느 하나일 경우에 RF 플라즈마를 이용하여 실시하고, 상기 하부 금속층이 구리일 경우에 리액티브 세정 공정을 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 구리 금속 배선 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 확산 방지막 스페이서는 상기 다마신 패턴을 포함한 전체 상부에 50 내지 500 Å의 두께로 확산 방지막을 형성한 후 전면 식각 공정으로 형성하는 것을 특징으로 하는 반도체 소자의 구리 금속 배선 형성 방법.

【청구항 4】

제 1 항에 있어서,

상기 확산 방지막 스페이서는 ionized PVD TiN, CVD TiN, MOCVD TiN, ionized PVD Ta, ionized PVD-TaN, CVD Ta, CVD TaN, CVD WN, CVD-TiAlN, CVD TiSiN, CVD-TaSiN 중 어느 하나를 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 구리 금속 배선 형성 방법.

【청구항 5】

제 1 항에 있어서,

상기 확산 방지막 스페이서는 SiN 및 SiON 중 어느 하나를 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

【청구항 6】

제 1 항에 있어서,

상기 화학적 강화제층은 I(요오드)함유 액체화합물, Hhfac1/2H₂O, Hhfac, TMVS 순수(pure) I₂, I(요오드) 함유 가스, 수증기(water vapor), 주기율표상의 7족 원소들인 액체상태의 F, Cl, Br, I, At, 가스상태의 F, Cl, Br, I, At 중 어느 하나를 촉매로 이용하여 -20 내지 300℃의 온도범위에서 1 내지 600초 동안 처리하여 50 내지 500Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

【청구항 7】

제 6 항에 있어서,

상기 I(요오드)함유 액체화합물은 CH₃I, C₂H₅I, CD₃I 및 CH₂I₂ 중 어느 하나인 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법

【청구항 8】

제 1 항에 있어서,

상기 구리층은 (hfac)CuVTMOS 계열, (hfac)CuDMB 계열 및 (hfac)CuTMVS 계열 등의 hfac를 이용한 모든 전구체 중 어느 하나를 이용하여 다이렉트 리퀴드 인젝션(DLI), 컨트롤 에바퍼레이션 믹서(CEM), 오리피스(orifice) 방식 및 스프레이(spray) 방식의 베이퍼라이저(vaporizer)를 갖는 구리 증착 장비에서 MOCVD법으로 실시되는 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

【도면】

【도 1】

